

**MULTILAYER WIRING BOARD**

Patent Number: JP6120670  
Publication date: 1994-04-28  
Inventor(s): YAMASHITA KAZUO; others: 01  
Applicant(s):: JAPAN RADIO CO LTD  
Requested Patent: ☒ JP6120670  
Application Number: JP19910072547 19910312  
Priority Number(s):  
IPC Classification: H05K3/46 ; H05K1/18  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To downsize a board and an apparatus employing the board when a large number of miniature electronic components are mounted on a multilayer board.

**CONSTITUTION:**In a multilayer board having more than two layers, an interlayer connecting electrode and an electronic component connecting electrode 14 are formed of solder 60 on the inner conductor thereof. Furthermore, hole parts 24 are made in the multilayer board and electronic components 40, 50 are placed therein and coating resin 42, 43 is then filled therein.

---

Data supplied from the esp@cenet database - 12

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-120670

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.<sup>5</sup>

H 0 5 K 3/46

1/18

識別記号

Q 6921-4E

N 6921-4E

S 9154-4E

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数1(全 6 頁)

(21)出願番号

特願平3-72547

(22)出願日

平成3年(1991)3月12日

(71)出願人 000004330

日本無線株式会社

東京都三鷹市下連雀5丁目1番1号

(72)発明者 山下 和郎

東京都三鷹市下連雀五丁目1番1号 日本無線株式会社内

(72)発明者 勅使河原 治

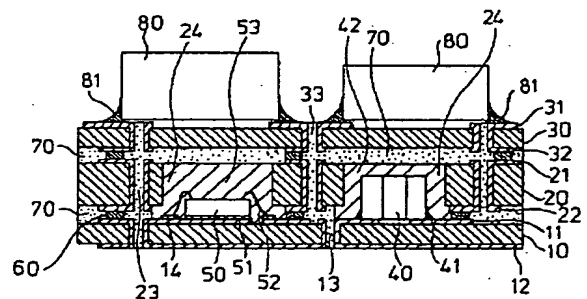
東京都三鷹市下連雀五丁目1番1号 日本無線株式会社内

(54)【発明の名称】 多層配線基板

(57)【要約】

【目的】 多層基板に多数の小形電子部品を実装する場合、基板およびそれを用いた装置の小形化を図る。

【構成】 3層以上の導体層を有する多層基板において、その内部導体に半田60による層間導通接続用電極及び電子部品接続用電極14を形成する。また、前記多層基板内に穴部24を設けて、電子部品40、50を収容し、コート樹脂42、53によりそれらの埋め込みを行う構成である。



10,20,30--- 両面銅張りプリント板

11,21,31--- 上面銅パターン

13,23,33--- スルーホール

12,22,32--- 下面銅パターン

14--- 金メッキパッド

24--- 穴

40--- チップ部品

41,60,81--- 半田

42,53--- コート樹脂

50--- ICチップ

51,70--- 接着剤

52--- ボンディングワイヤ

60--- 半田バンプ61の融合体

61--- 半田バンプ

80--- 表面実装部品

## 【特許請求の範囲】

【請求項1】 3層以上の導体層を有する多層配線基板において、内層導体を層間導通接続又は電子部品接続の電極として形成すると共に、前記多層配線基板内に穴部を設けて前記電子部品の埋め込みを行うことを特徴とする多層配線基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はプリント配線回路基板、ハイブリッドIC回路基板等において、チップ部品を高密度に実装する3次元実装多層配線基板に関する。

## 【0002】

【従来の技術】図3は多層銅張りプリント板を使用した従来の構成例の断面図を示す。図において300は両面銅張りプリント板、301は銅パターン、302はスルーホール、303は銅パターン、304はワイヤボンダッド部、305は表面実装部品、306は能動ベアチップ部品、307はボンディングワイヤ、308はチップコート、310は片面銅張りプリント板、312はスルーホールを示す。

【0003】本従来例は4層の多層例で、銅パターン301とスルーホール302を形成した両面銅張りプリント板300の両面に、接着剤を介して片面銅張りプリント板310の銅張り面を外側にして張り付け、多層銅張りプリント板とし、両面銅張りプリント板と同じ方法で銅パターン303とスルーホール312を形成する。さらに能動ベアチップ部品306のワイヤボンダッド部304に金メッキを行い、基板を完成させる。次に表面実装部品305を半田付けした後、能動ベアチップ部品306を接着し、ボンディングワイヤ307で接着する。ベアチップ部は通常チップコート308で保護している。

## 【0004】

【発明が解決しようとする課題】この例で明らかなように、通常多層構造では配線パターンの多層化はできるが、アナログ回路に見られるような部品の数が多い場合には表面実装のための面積が必要であるから、配線パターンの多層化だけでは小形化ができないという欠点がある。

## 【0005】

【課題を解決するため手段】本発明はこれらの欠点を解決するために、従来表面実装されていた小形チップ部品を基板内部に埋め込み3次元の実装としたもので、立体化により小形化が得られるものである。以下実施例につき図面により詳細に説明する。

## 【0006】

【実施例】図1は6層を示す実施例の断面図、図2は製造プロセスを説明するための断面図である。図中の10は両面銅張りプリント板、11は両面銅張りプリント板10の上面銅パターン、12は両面銅張りプリント板10

0の下面銅パターン、13は両面銅張りプリント板10の上下面銅パターンをつなぐスルーホール、14はボンディング用金メッキパッド、20は両面銅張りプリント板、21は両面銅張りプリント板20の上面銅パターン、22は両面銅張りプリント板20の下面銅パターン、23は両面銅張りプリント板20の上下面銅パターンをつなぐスルーホール、24は両面銅張りプリント板20に設けた穴、30は両面銅張りプリント板、31は両面銅張りプリント板30の上面銅パターン、32は両面銅張りプリント板30の下面銅パターン、33は両面銅張りプリント板30の上下面銅パターンをつなぐスルーホール、40はチップ部品、41はチップ部品40と銅パターン11に接続固定する半田、42はチップ部品40を保護するコート樹脂、50はICチップ、51はICチップ50を銅パターン11に固定する接着剤、52はICチップ50と銅パターン11を電気的に接続するボンディングワイヤ、53はICチップ50を保護するコート樹脂、60は両面銅張りプリント板を10、20、30の向かい合った銅パターン間を導通接続する半田、70は両面銅張りプリント板10、20、30間を接着する接着剤、80は表面実装部品、81は表面部品を接続固定する半田である。

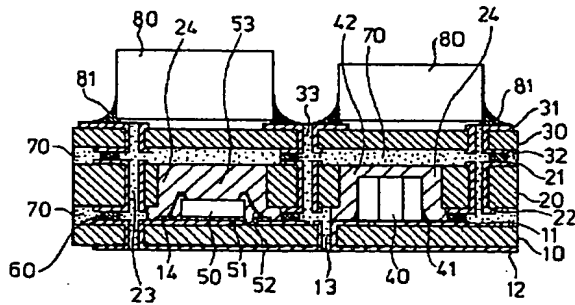
【0007】図1を用いて本実施例の構成に付いて説明する。本例は3枚の両面プリント配線板10、20、30をそれぞれ必要なパターンニングしておき、半田60を介して導通接続を行い、且つ接着剤70により接着された多層基板である。更に多層基板内部にはチップ部品が実装されている。本例では、チップ部品40とベアチップIC50がプリント配線基板10の導体パターン11上に、半田付けあるいはダイボンダ、ワイヤボンダされている。これらチップ部品はプリント配線基板20の穴24内に入っており、機材との間はコート樹脂42、53が充填されている。本構成ではプリント配線基板内に小形チップ部品を実装することから、実装面が増えることとなり、その分表面積が小さくでき、表面部品は大型の部品だけとなり、密度も向上する。

【0008】図1、図2を用いて本実施例の製造方法について説明する。はじめに3枚の両面銅張りプリント板10、20、30を準備する。両面銅張りプリント板10は上面銅パターン11とICチップ取付用ダイボンダパッド51、ボンディング用金メッキパッド14を形成し、下面銅パターン12、さらにスルーホール13を形成してなる両面銅張りプリント板である。両面銅張りプリント板20は上面銅パターン21と下面銅パターン22を形成し、さらにスルーホール23、チップ部品埋め込み用の穴24を形成したものである。両面銅張りプリント板30は上面銅パターン31と下面銅パターン32を形成しさらにスルーホール33を形成したものである。図2(a)で、準備された両面銅張りプリント10の上面に半田パンプ61及びチップ部品取り付け用半田

(b)を得る。次にICチップ50を接着剤51で接着し、ボンディングワイヤ52でICチップ50と接続パッドの金メッキパッド14をつなぐ。この後、ICチップ50の保護及び空間を埋めるためにコート樹脂53、42を穴24に充填し、硬化させて図2(c)を得る。さらに図2(d)に示すように、両面銅張りプリント板20の上面と両面銅張りプリント板30の下面に前記同様半田バンプ61を形成し、半田バンプ61同士を向き合わせて上下を平らな板で挟み、加圧・加熱して半田バンプ61同士を再溶解し融合させ半田60による導通接合を得る。更にこうして得られた両面銅張りプリント板3枚重ねの基板を真空中で接着樹脂液に浸漬させ、そのまま大気圧に戻す事で基板間の隙間に接着剤70を充填させ、取り出して硬化させる事で図2(e)を得る。この際、プリント板10の下面、プリント板30の上面にも接着剤が付着するため、必要に応じて接着テープ等で覆う。以上で基板としては完成し、必要な表面部品を通常の工程、すなわちクリーム半田の印刷と部品搭載、リフローで図1に示す構成体を得ることができる。本工程において、半田60が複数回溶融するが、接着剤70の無い状態では上下から加圧され、接着剤70がある時には接着剤により貼り合わされているため、基板間がはがれることはない。

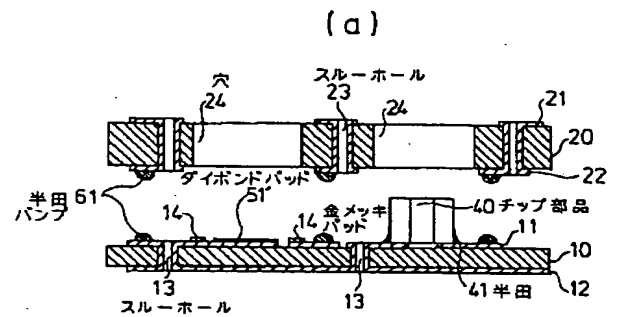
1 0、2 0、3 0	両面銅張りプリント板
1 1、2 1、3 1	上面銅パターン
1 2、2 2、3 2	下面銅パターン
1 3、2 3、3 3	スルーホール
1 4	金メッキパッド
2 4	穴
4 0	チップ部品
4 1、6 0、8 1	半田
4 2、5 3	コート樹脂
5 0	I Cチップ
5 1、7 0	接着剤
5 2	ボンディングワイヤ
6 0	半田バンプ6 1の融合体
6 1	半田バンプ
8 0	表面実装部品

【図1】

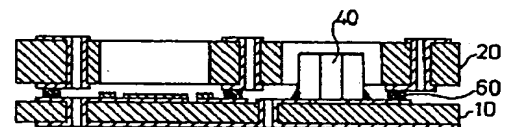


- 10,20,30---両面銅張りプリント板  
 11,21,31---上面銅パターン      13,23,33---スルーホール  
 12,22,32---下面銅パターン      14---金メッキパッド  
 24---穴      40---チップ部品  
 41,60,81---半田      42,53---コート樹脂  
 50---ICチップ      51,70---接着剤  
 52---ボンディングワイヤ  
 60---半田パンプ61の融合体  
 61---半田パンプ      80---表面突起部品

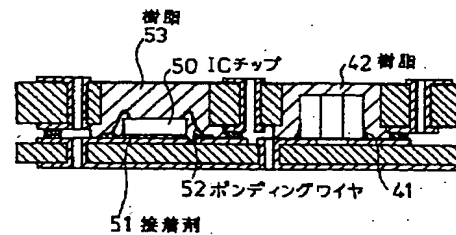
【図2】



(b)

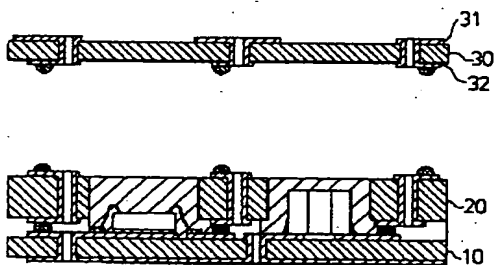


(c)

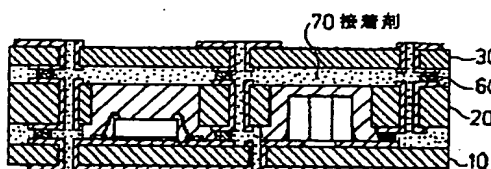


【図2】

(d)



(e)



【手続補正書】

【提出日】平成5年2月26日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明による一実施例の断面図。

【図2】図1の実施例の製造工程を示す断面図。

【図3】図1の実施例の製造工程を示す断面図。

【図4】従来例の断面図。

【符号の説明】

- 10、20、30 両面銅張りプリント板  
11、21、31 上面銅パターン  
12、22、32 下面銅パターン  
13、23、33 スルーホール

- 14 金メッキパッド  
24 穴  
40 チップ部品  
41、60、81 半田  
42、53 コート樹脂  
50 ICチップ  
51、70 接着剤  
52 ボンディングワイヤ  
60 半田バンプ61の融合体  
61 半田バンプ  
80 表面実装部品

【手続補正2】

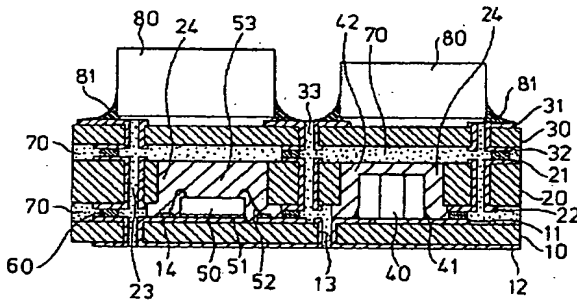
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

【補正内容】

【図1】



10,20,30---両面銅張りプリント板

11,21,31---上面銅パターン

12,22,32---下面銅パターン

24---穴

41,60,81---半田

50---ICチップ

52---ボンディングワイヤ

60---半田バンプ61の融合体

61---半田バンプ

13,23,33---スルーホール

14---金メッキパッド

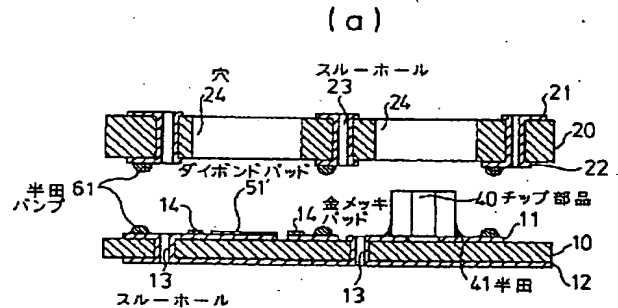
40---チップ部品

42,53---コート樹脂

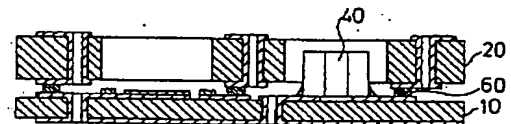
51,70---接着剤

80---表面実装部品

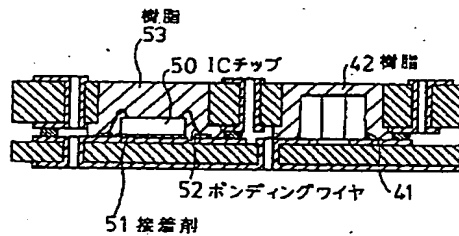
【図2】



(b)

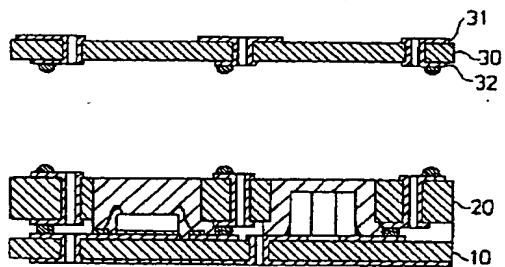


(c)

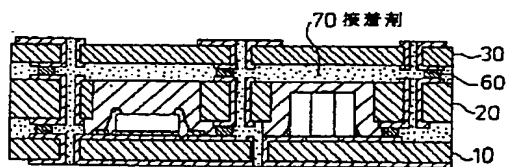


【図 3】

(a)



(b)



【図 4】

